

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-033814

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

G02F 1/1365

G02F 1/1343

(21)Application number : 11-204149

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 19.07.1999

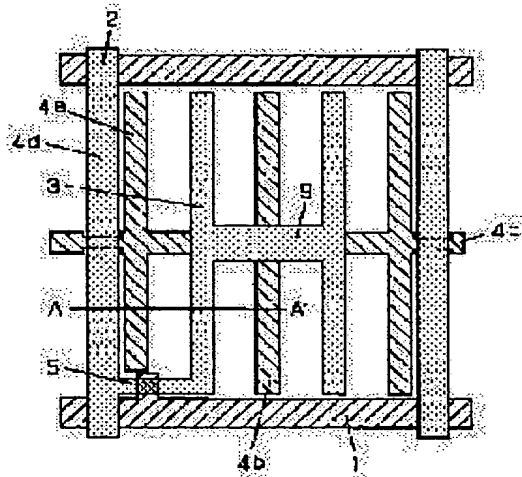
(72)Inventor : KIMURA MASANORI
KUMAKAWA KATSUHIKO
YAMAKITA HIROFUMI
INOUE KAZUO
SHIODA AKINORI

(54) LIQUID CRYSTAL PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal panel capable of minimizing the distortion of signal waveform and sufficiently writing signals into the pixels even if the liquid crystal panel is made large in screen size and high in definition.

SOLUTION: In this liquid crystal panel, at least video signal wirings 2 and scanning signal wirings arranged in a matrix shape, switching elements arranged corresponding to each intersection of the video signal wirings 2 and the scanning signal wirings 1, pixel electrodes connected to the switching elements, common electrodes (4a), 4b formed to be opposed to the pixel electrodes (3a), and a common wiring 4c connecting the common electrodes are formed on the counter face side of one of two opposing transparent substrates holding a liquid crystal layer. In the liquid crystal panel, the wiring width of a common wiring 4c is formed narrower at the intersections with the video signal wirings 1.



LEGAL STATUS

[Date of request for examination] 10.03.2000

[Date of sending the examiner's decision of rejection] 21.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-33814
(P2001-33814A)

(43) 公開日 平成13年2月9日(2001.2.9)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード*(参考) |
|---------------------------|------|---------------|-----------------|
| G 0 2 F 1/1365 | | G 0 2 F 1/136 | 5 0 0 2 H 0 9 2 |
| 1/1343 | | 1/1343 | |

審査請求 有 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平11-204149

(22) 出願日 平成11年7月19日(1999.7.19)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 木村 雅典

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 熊川 克彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

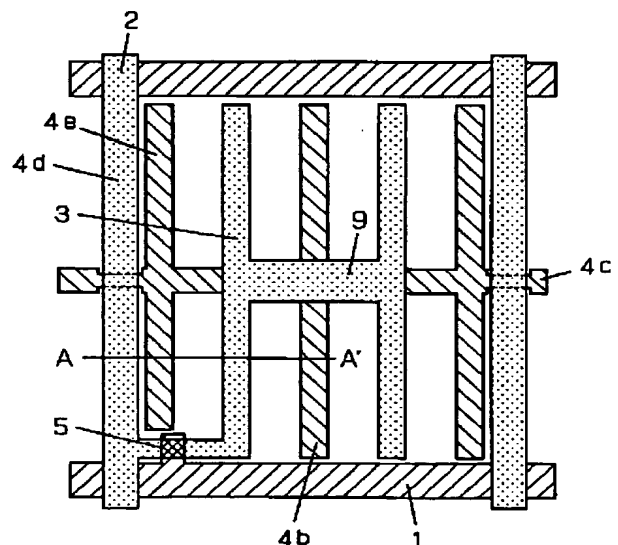
最終頁に続く

(54) 【発明の名称】 液晶パネル

(57) 【要約】

【課題】 本発明は、信号波形の歪みが最小限に抑制され、大画面化、高精細化しても画素へ十分な信号の書き込みの出来る液晶パネルを提供することを目的とする。

【解決手段】 液晶層を挟持して対向する2枚の透明基板のうち、一方の基板の対向面側に、マトリックス状に配置された映像信号配線及び走査信号配線、前記映像信号配線と走査信号配線の各交差点に対応して設けられたスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向するように形成された共通電極、前記共通電極を連結する共通配線が少なくとも形成された液晶パネルにおいて、共通配線の配線幅が映像信号配線との交差部において幅狭く形成されるように構成されている。



【特許請求の範囲】

【請求項1】 液晶層を挟持して対向する2枚の透明基板のうち、一方の基板の対向面側に、マトリックス状に配置された映像信号配線及び走査信号配線、前記映像信号配線と走査信号配線の各交差点に対応して設けられたスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向するように形成された共通電極、前記共通電極を連結する共通配線が少なくとも形成された液晶パネルにおいて、共通配線の配線幅が映像信号配線との交差部において幅狭く形成されていることを特徴とする液晶パネル

【請求項2】 液晶層を挟持して対向する2枚の透明基板のうち、一方の基板の対向面側に、マトリックス状に配置された映像信号配線及び走査信号配線、前記映像信号配線と走査信号配線の各交差点に対応して設けられたスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向するように形成された共通電極、前記共通電極を連結する共通配線が少なくとも形成された液晶パネルにおいて、前記映像信号配線と前記共通配線の間に形成された絶縁層が、画素電極と共通電極との間に形成された絶縁層より厚く形成されていることを特徴とする液晶パネル。

【請求項3】 液晶層を挟持して対向する2枚の透明基板のうち、一方の基板の対向面側に、マトリックス状に配置された映像信号配線及び走査信号配線、前記映像信号配線と走査信号配線の各交差点に対応して設けられたスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向するように形成された共通電極、前記共通電極を連結する共通配線が少なくとも形成された液晶パネルにおいて、前記映像信号配線と前記共通電極が絶縁層を介して基板面内で重なるように構成され、且つ前記共通電極が前記映像信号配線と重なる部分において、2つに分割されていることを特徴とする液晶パネル。

【請求項4】 画素電極、及び共通電極が屈曲した形状であることを特徴とする請求項1～4記載の液晶パネル。

【請求項5】 映像信号配線が共通電極と同じ角度で屈曲した形状であることを特徴とする請求項1～5記載の液晶パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は横電界方式を用い液晶を駆動する電極が屈曲した形状である液晶パネルに関するものである。

【0002】

【従来の技術】 液晶パネルは薄型化、軽量化、低電圧駆動可能などの長所により腕時計、電子卓上計算機、パーソナルコンピューター、パーソナルワードプロセッサなどに利用されている。

【0003】 特に近年、パーソナルコンピューター用途では大画面化への対応から、より広視野角を有する液晶パネルへの要求が高まっており、これに対応し、液晶パネルの視野角を広げる方式として、同一基板上に画素電極及び対向電極を形成し、横方向の電界を印加することにより液晶分子を動作させる横電界方式が提案されている。この方式はIPS(In-Plane-Switching)方式あるいは楕円電極方式とも呼ばれており(液晶ディスプレイ技術：産業図書p42 参照)、この表示方式では、液晶分子の長軸は基板と常にほぼ平行であり、立ち上がることなく、従って視角方向を変えた時の明るさの変化が小さく広い視野角が得られる。

【0004】 更に、IPS方式における特定方向の視角特性を改善する方法として液晶駆動用の電界を発生させる画素電極及び対向電極を傾斜あるいは屈曲させることによって2方向の液晶の駆動方向を得る方法が例えば特開平9-105908号、特開平9-258269号公報により提案されている。また横電界方式の液晶パネルにおいて、画素の開口率を高め明るい液晶パネルを得る方法として、信号配線と画素内の電極を重ねることにより遮蔽部分の面積を小さくする方法が例えば特開平9-61842号、特開平9-236820号公報により提案されている。以下、従来の液晶パネルについて図面を用いて説明する。

【0005】 図12～図15に横電界方式を用いた従来の液晶パネルを示す。図12は従来の液晶パネルにおける1画素の電極構成を示す平面図、図13は従来の液晶パネルの図12におけるB-B'断面図である。また、図14は信号配線と画素内の電極を重ねて配置した従来の液晶パネルにおける1画素の電極構成を示す平面図、図15は従来の液晶パネルの図14におけるA-A'断面図である。

【0006】 図12、図13において11は透明基板をベースにしたアレイ基板20a上に形成された走査信号配線(ゲート)、12は映像信号配線(ソース)で走査信号配線(ゲート)11とマトリックス状に形成されており、その交点に能動素子(スイッチング素子)として半導体層15を含む薄膜トランジスタ(TFT:ThinFilm Transistor)が形成されている。13は画素電極で、半導体層15を介し映像信号配線(ソース)12と接続されている。共通配線14cによって連結された14aは共通電極で、画素電極13に対向するように一定間隔で形成されており、画素電極13との間で横電界が発生し液晶の駆動を行う構造となっている。また画素電極13及び共通電極14の電極上では横方向の電界が発生しないために液晶の制御が出来ず、そのため一般的に画素電極13と共通電極14は遮光性を有する金属により形成され、表示に影響を与えないようにしている。

【0007】 映像信号配線(ソース)12及び画素電極13と、走査信号配線(ゲート)11及び共通電極14

はSiO₂などの絶縁層16を介して形成されており、共通配線14cと対向する画素電極13との間で蓄積容量部19が形成されている。この蓄積容量部19により画素に供給された電圧が保持されるようになっている。

【0008】また液晶層17を挟み、アレイ基板20aに対向して透明基板をベースにして形成されたカラーフィルタ基板20bが配置されており、カラーフィルタ基板20bのアレイ基板20a側にはブラックマスク18BM、カラーフィルタ18R、G、Bが形成されている。

【0009】上記のように構成された液晶パネルにおいて、走査信号配線（ゲート）11に外部より一定周期のパルス信号であるゲートパルスが加えられると、走査信号配線（ゲート）11に接続された半導体層15を含むTFTがオンになり、スイッチが開いた状態になる。この結果、映像信号配線（ソース）12に加えられた映像信号電圧が半導体層15を含むTFTを通じて画素電極13へ印加される。共通電極14aには共通配線14cを通じて別途一定電圧が加えられており、この共通電極14aと画素電極13との電圧差によって電極間の液晶に電界を加え、液晶の制御を行う。液晶の制御により液晶を透過する光量を制御することが出来、従って入力された信号に対応した表示を行うことが出来る。画素に印加された信号電圧は、画素内の液晶及び蓄積容量部19により、走査信号配線（ゲート）11から次のゲートパルスが加えられるまで保持される。

【0010】一方、信号配線と画素内の電極を重ねて配置することにより、画素の開口率を高めた従来の液晶パネルについて、以下図面を用いて説明する。

【0011】図14、図15において、前述の従来の液晶パネルと異なっているのは、映像信号配線（ソース）12と共通電極14aが絶縁層6を介して基板面内で重なるように配置されており、この構成によって電極で遮蔽していた面積を小さくし、その分開口率を高めることが出来る。

【0012】

【発明が解決しようとする課題】しかしながら上記従来の液晶パネルは、映像信号配線12に加えられた映像信号に対し、映像信号配線自身の持つ配線抵抗と、映像信号配線と共通配線14cや走査信号配線（ゲート）11との交点で形成される寄生容量によって、画素に印加される信号波形に歪が発生していた。信号波形の歪みは、入力されてから画素に至るまでの抵抗値、及び容量に比例して大きくなるため、大画面化により配線距離が長くなったり、画素数の増大により容量を形成する交点が増えると信号電圧が十分に画素に加えられなくなり、十部なコントラストが得られなくなる等、表示に対し重大な影響が発生するという課題を有していた。配線抵抗の低減に関しては、映像信号配線の幅広化によって対策する方法も考えられるが、これには開口率の低下や交点での

寄生容量増大などの問題が生じてしまっていた。

【0013】また、映像信号配線（ソース）12と共通電極14aが絶縁層6を介して重なるように配置された従来の液晶パネルにおいては、映像信号配線（ソース）12と共通電極14aの重なる面積が増大することによって、形成される容量も極端に増加するため、更に信号波形が大きく歪み、液晶パネルの大画面化や高精細化に適応出来るものではなかった。

【0014】本発明は上記従来の液晶パネルの不都合に鑑みて創案されたものであり、横電界方式の液晶パネルにおいて、映像信号配線が形成する容量が小さくしかも配線抵抗の増加のない、従って、信号波形の歪みが最小限に抑制され、大画面化、高精細化しても画素へ十分な信号の書き込みの出来る液晶パネルを提供することを目的とする。

【0015】

【課題を解決するための手段】前記の目的を達成するために本発明の液晶パネルは、液晶層を挟持して対向する2枚の透明基板のうち、一方の基板の対向面側に、マトリックス状に配置された映像信号配線及び走査信号配線、前記映像信号配線と走査信号配線の各交差点に対応して設けられたスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向するように形成された共通電極、前記共通電極を連結する共通配線が少なくとも形成された液晶パネルにおいて、共通配線の配線幅が映像信号配線との交差部において幅狭く形成されるように構成されている。

【0016】また第2の液晶パネルは、液晶層を挟持して対向する2枚の透明基板のうち、一方の基板の対向面側に、マトリックス状に配置された映像信号配線及び走査信号配線、前記映像信号配線と走査信号配線の各交差点に対応して設けられたスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向するように形成された共通電極、前記共通電極を連結する共通配線が少なくとも形成された液晶パネルにおいて、映像信号配線と共通配線の間形成された絶縁層が、蓄積容量部を形成するために画素電極と共通配線、あるいは共通電極との間に形成された絶縁層より厚く形成されるように構成されている。

【0017】また第3の液晶パネルは、液晶層を挟持して対向する2枚の透明基板のうち、一方の基板の対向面側に、マトリックス状に配置された映像信号配線及び走査信号配線、前記映像信号配線と走査信号配線の各交差点に対応して設けられたスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向するように形成された共通電極、前記共通電極を連結する共通配線が少なくとも形成された液晶パネルにおいて、前記映像信号配線と前記共通電極が絶縁層を介して基板面内で重なるように構成され、且つ前記共通電極が前記映像信号配線と重なる部分において、2つに分割される

ように構成されている。

【0018】上記構成によれば、第1の液晶パネルにおいては、映像信号配線との交差部において共通配線の配線幅を狭く形成することにより、映像信号配線と共通配線の重なる面積を低減することが出来、それにより映像信号配線に発生する容量を面積に比例して小さく出来、信号波形の歪みを小さく抑えることが可能となる。

【0019】また、第2の液晶パネルにおいては、誘電体として機能する絶縁層を厚くすることにより映像信号配線に発生する容量を小さく、信号波形の歪みを小さく抑えることが出来るが、同時に、蓄積容量部を形成する絶縁層は厚くならないように形成することで、蓄積容量部の容量が低下しないようにしており、液晶の保持に問題が起らないようにしている。

【0020】また、第3の液晶パネルにおいては、映像信号配線と重なる部分において共通電極を2つに分割することによって、映像信号配線と共通電極の重なる面積を低減出来、映像信号配線に発生する容量を小さくし、信号波形の歪みを小さく抑えることが出来る。

【0021】

【発明の実施の形態】以下、本発明の液晶パネルについて図面を用いて説明する。

【0022】（実施の形態1）図1は本発明による液晶パネルの1画素の電極構成を示す平面図、図2は図1におけるA-A'断面図、図3は映像信号線と交差する付近の共通配線の様子を示す図である。以下、図1、2に示す液晶パネルの実施例を説明する。

【0023】図1、2において、1はガラス基板をベースにしたアレイ基板10a上に形成された走査信号配線（ゲート）、2は映像信号配線（ソース）で走査信号配線（ゲート）1とマトリクス状に形成されており、その交点に能動素子（スイッチング素子）として半導体層5を含む薄膜トランジスタ（TFT: Thin Film Transistor）が形成されている。3は画素電極で楕形状に形成され、半導体層5を介し映像信号配線（ソース）2と接続されている。4は共通電極・配線で共通配線4cにより連結されており、共通電極4a、4bは画素電極3に対向するように一定間隔で形成されている。本実施例においては画素電極の形状を楕形状としたが、この形状に限定されるものではなく、例えば口型形状やT字型形状としても良い。

【0024】映像信号配線（ソース）2、画素電極3、走査信号配線（ゲート）1及び共通電極・配線4はAl/Tiなどの遮光性を有する金属で形成されており、また図2に示すごとく、映像信号配線（ソース）2及び画素電極3と、走査信号配線（ゲート）1及び共通電極・配線4はSiO₂などの絶縁層6を介して形成され、この時、図3に示すように共通配線4cは映像信号配線（ソース）2と交差する部分4dにおいて、配線幅が半分になるように形成されている。また、共通配線4cと

対向する画素電極3との間で蓄積容量部9が形成されており、この蓄積容量部9により画素に供給された電圧が保持されるようになっている。

【0025】上記のようにして形成されたアレイ基板10aと対向してガラス基板をベースにして形成されたカラーフィルタ基板10bが配置されており、アレイ基板10a、カラーフィルタ基板10bの対向面側に配向膜（AL5417:JSR製）が印刷され、ラビング処理を施されている。また、カラーフィルタ基板10b上のアレイ基板10a側にはブラックマスク18BM、カラーフィルタ18R、G、Bが形成されている。

【0026】上記構成によれば、映像信号配線（ソース）2と交差する部分において、共通配線4cの配線幅を半分にすることによって、映像信号配線（ソース）2と共通配線4cとの間に発生する寄生容量を半分にすることが出来、従って映像信号配線上での信号波形の歪みを小さく抑えることが出来る。

【0027】尚、本実施例では、共映像信号配線と交差する部分の共通配線の配線幅を半分としたが、共通配線としては配線幅を狭くすることによってこの部分の配線抵抗値は若干上昇するため、最終的にはこの抵抗増加と容量低下のバランスを考えた時定数として計算し、時定数の値が最小になるように共通配線の配線幅を決定するのがより好ましい。

【0028】（実施の形態2）以下、発明の第2の実施例について図面を用いて説明する。図4は本発明の第2の実施例における液晶パネルのカラーフィルタ基板の構成を示す平面図、図5及び図6は図4におけるB-B'位置の液晶パネルの断面図である。以下第1の実施例と異なっている点について説明する。

【0029】図5に示すように、絶縁層6は映像信号配線（ソース）2と共通配線4cとの交差する部分6aにおいて、画素電極3と共通配線4cによって挟まれ蓄積容量部9を形成する部分6bよりも層厚が2倍厚く形成されている。

【0030】上記構成によれば、映像信号配線（ソース）2と共通配線4cとが交差する部分において、絶縁層を2倍にすることによって、映像信号配線（ソース）2と共通配線4cとの間に発生する寄生容量を半分にすることが出来、且つ配線抵抗は増加しないため映像信号配線上での信号波形の歪みを小さく抑えることが出来る。また同時に、蓄積容量部においては絶縁層の層厚が厚くならないように形成するため、蓄積容量の低下による液晶保持電圧の低下を防ぐことが出来る。

【0031】本実施例では映像信号配線（ソース）2と共通配線4cとが交差する部分の絶縁層の層厚を2倍としたが、本発明はこの数値に限定されるものでなく、例えば表示に対して十分な信号波形と蓄積容量が得られればこの倍率は小さくても良いし、画素数の増加等に伴い信号波形の歪みが大きくなる時や、十部分な蓄積容量が

得られない時にはこの倍率を更に大きくすることによって、更に上記効果が高まる。また実施例1のように共通配線4cの配線幅を狭くする方法と組み合わせることによってよりいっそう発明効果が高められる。

【0032】尚、絶縁層の形成方法については、CVD法やスパッタ法により絶縁層となる材料を電極上に形成後、蓄積容量部9部分を層厚が半分になるまでエッチングしても良いし、図6に示すように絶縁層を2層構成とし、1層目を形成した後、2層目を形成し蓄積容量部9部分をエッチングして形成しても良い。この場合には、1層目に比誘電率の大きい材料を用い、2層目には比誘電率の小さい材料を用いることでより上記効果を高めることが出来る。また、絶縁層材料に関しては窒化系、酸化系等のセラミック系材料や感光性樹脂等の有機材料など数百オングストローム～数μm程度の透明性を有する絶縁層が形成出来るものであれば特に限定されない。形成方法についても例えば有機材料等であればスピンコート法などで形成しても良く、この場合にはより簡易に絶縁層が形成することが出来る。

【0033】（実施の形態3）以下、本発明の第3の実施例について図面を用いて説明する。図7は本発明による液晶パネルの1画素の電極構成を示す平面図、図8は図7におけるA-A'断面図、図9は映像信号線と重なる付近の共通電極の様子を示す図である。第1、第2の実施例と異なる点について説明する。

【0034】図7～図9に示すように共通電極4が絶縁層6を介して映像信号配線2と重なるように配置されており、映像信号配線2と重なるように配置された共通電極4は4e、4fに分割されている。

【0035】上記構成によれば、映像信号配線（ソース）2と重なる部分において共通電極4が2つに分割されることによって、映像信号配線（ソース）2と重なる部分の面積を大幅に削減することが出来、映像信号配線（ソース）2と共通電極4との間に発生する寄生容量を低減することが出来る。それによって映像信号配線と共通電極を重ね合わせた場合でも、映像信号配線上での信号波形の歪みを小さく抑えることが出来る。

【0036】尚、映像信号配線（ソース）と共通電極の間で発生する電界の影響が表示部分の電界に影響を及ぼさないようにするために、図7、8に示すように共通電極4内に映像信号配線（ソース）2が配置されるように形成されるのがより好ましい。

【0037】また、実施例1のように共通配線4cの配線幅を狭くする方法や、実施例2のように映像信号配線（ソース）2と共通電極・配線4間の絶縁層を厚く形成する方法と組み合わせることによってよりいっそう発明効果が高められる。

【0038】（実施の形態4）以下、本発明の第4の実施例について図面を用いて説明する。図10は本発明の第4の実施例における液晶パネルのカラーフィルタ基板

の構成を示す平面図である。本実施例において、画素電極3、共通電極4及び映像信号配線（ソース）2が同じ角度の屈曲形状を有している点以外は、第1、及び第2の実施例と同様な構成とした。

【0039】上記のように、画素電極、共通電極及び映像信号配線（ソース）が屈曲した形状で構成された液晶パネルにおいても、映像信号配線との交差部において共通配線の配線幅を狭く形成することにより、映像信号配線と共通配線の重なる面積を低減することが出来、それによって映像信号配線に発生する容量を面積に比例して小さく出来、信号波形の歪みを小さく抑えることが可能となる。あるいは、映像信号配線（ソース）と共通配線とが交差する部分において、絶縁層を2倍にすることによって、映像信号配線（ソース）と共通配線との間に発生する寄生容量を半分にすることが出来、且つ配線抵抗は増加しないため映像信号配線上での信号波形の歪みを小さく抑えることが出来る。

【0040】尚、本実施例では、映像信号配線（ソース）も画素電極、及び共通電極と同様に屈曲形状としたが、画素電極、及び共通電極のみが屈曲形状で、映像信号配線（ソース）は実施例1と同様に直線形状としても良い。

【0041】（実施の形態5）以下、本発明の第5の実施例について図面を用いて説明する。図11は本発明の第5の実施例における液晶パネルのカラーフィルタ基板の構成を示す平面図である。本実施例において、画素電極3、共通電極4及び映像信号配線（ソース）2が同じ角度の屈曲形状を有している点以外は、第3の実施例と同様な構成とした。

【0042】上記のように、画素電極、共通電極及び映像信号配線（ソース）が屈曲した形状で構成された液晶パネルにおいても、映像信号配線（ソース）と重なる部分において共通電極が2つに分割されることによって、映像信号配線（ソース）と重なる部分の面積を大幅に削減することが出来、映像信号配線（ソース）と共通電極との間に発生する寄生容量を低減することが出来る。それによって映像信号配線と共通電極を重ね合わせた場合でも、映像信号配線上での信号波形の歪みを小さく抑えることが出来る。

【0043】

【発明の効果】以上のように本発明の第1の液晶パネルは、液晶層を挟持して対向する2枚の透明基板のうち、一方の基板の対向面側に、マトリックス状に配置された映像信号配線及び走査信号配線、前記映像信号配線と走査信号配線の各交差点に対応して設けられたスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向するように形成された共通電極、前記共通電極を連結する共通配線が少なくとも形成された液晶パネルにおいて、共通配線の配線幅が映像信号配線との交差部において幅狭く形成されるように構成されるこ

とにより、映像信号配線と共通配線の重なる面積を低減することが出来、それによって映像信号配線に発生する容量を面積に比例して小さく出来、信号波形の歪みを小さく抑えることが可能となる。

【0044】また第2の液晶パネルは、液晶層を挟持して対向する2枚の透明基板のうち、一方の基板の対向面側に、マトリックス状に配置された映像信号配線及び走査信号配線、前記映像信号配線と走査信号配線の各交差点に対応して設けられたスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向するように形成された共通電極、前記共通電極を連結する共通配線が少なくとも形成された液晶パネルにおいて、映像信号配線と共通配線の間に形成された絶縁層が、蓄積容量部を形成するために画素電極と共通配線、あるいは共通電極との間に形成された絶縁層より厚く形成されるように構成されることにより、映像信号配線（ソース）と共通配線との間に発生する寄生容量を低減することが出来、且つ配線抵抗は増加しないため映像信号配線上での信号波形の歪みを小さく抑えることが出来る。

【0045】また第3の液晶パネルは、液晶層を挟持して対向する2枚の透明基板のうち、一方の基板の対向面側に、マトリックス状に配置された映像信号配線及び走査信号配線、前記映像信号配線と走査信号配線の各交差点に対応して設けられたスイッチング素子、前記スイッチング素子に接続された画素電極、前記画素電極と対向するように形成された共通電極、前記共通電極を連結する共通配線が少なくとも形成された液晶パネルにおいて、前記映像信号配線と前記共通電極が絶縁層を介して基板面内で重なるように構成され、且つ前記共通電極が前記映像信号配線と重なる部分において、2つに分割されるように構成されることにより、映像信号配線（ソース）と重なる部分の面積を大幅に削減することが出来、映像信号配線（ソース）と共通電極との間に発生する寄生容量を低減することが出来る。それによって映像信号配線と共通電極を重ね合わせた場合でも、映像信号配線上での信号波形の歪みを小さく抑えることが出来る。

【図面の簡単な説明】

【図1】本実施の形態1における液晶パネルの1画素の電極構成を模式的に示す平面図

【図2】本実施の形態1における液晶パネルのA-A'断面図

【図3】本実施の形態1における液晶パネルの映像信号

線と交差する付近の共通配線を示す図

【図4】本実施の形態2における液晶パネルの1画素の電極構成を模式的に示す平面図

【図5】本実施の形態2における液晶パネルのB-B'断面図

【図6】本実施の形態2における液晶パネルの他の例を示すB-B'断面図

【図7】本実施の形態3における液晶パネルの1画素の電極構成を模式的に示す平面図

10 【図8】本実施の形態3における液晶パネルのA-A'断面図

【図9】本実施の形態3における液晶パネルの映像信号線と重なる付近の共通電極を示す図

【図10】本実施の形態4における液晶パネルの1画素の電極構成を模式的に示す平面図

【図11】本実施の形態5における液晶パネルの1画素の電極構成を模式的に示す平面図

【図12】従来の液晶パネルにおける1画素の電極構成を模式的に示す平面図

20 【図13】従来の液晶パネルにおける液晶パネルのB-B'断面図

【図14】従来の液晶パネルにおける1画素の電極構成を模式的に示す平面図

【図15】従来の液晶パネルにおける液晶パネルのA-A'断面図

【符号の説明】

1 走査信号配線（ゲート）

2 映像信号配線（ソース）

3 a 画素電極

30 4 a 共通電極

4 b 共通電極

4 c 共通配線

5 半導体層

6 絶縁層

7 液晶層

8 R 赤色カラーフィルタ

8 G 緑色カラーフィルタ

8 B 青色カラーフィルタ

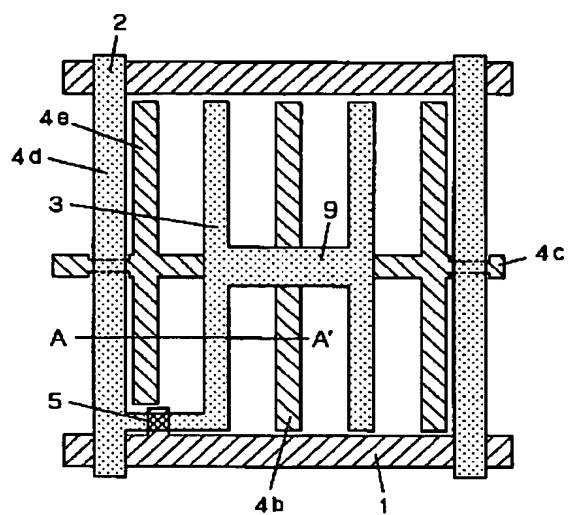
8 BM ブラックマトリクス

40 9 蓄積容量部

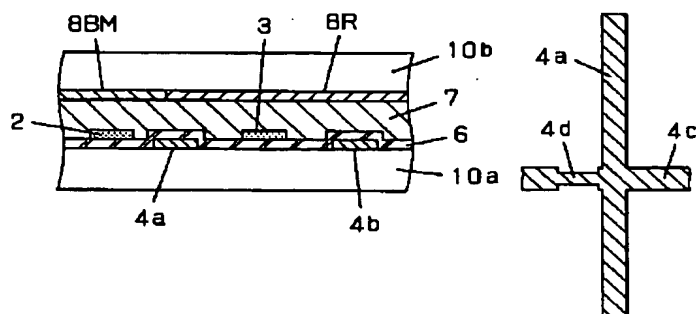
10 a アレイ基板

10 b カラーフィルタ基板

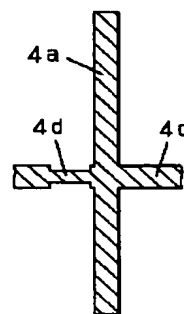
【図1】



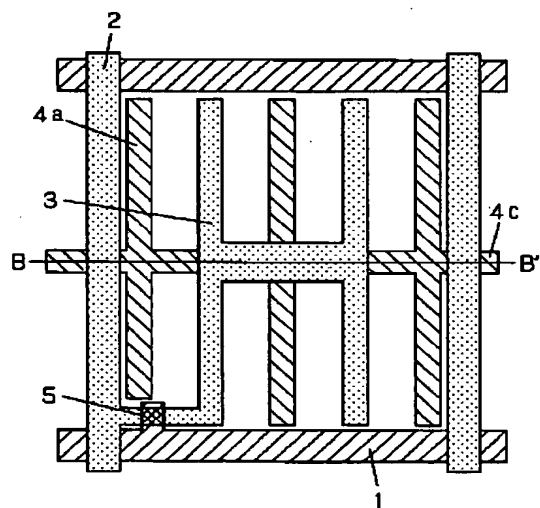
【図2】



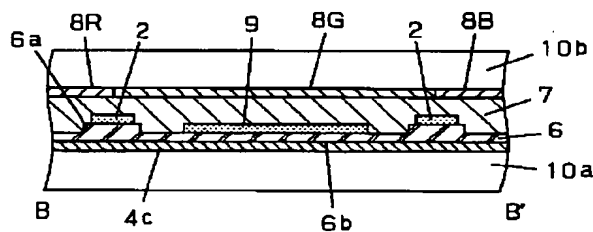
【図3】



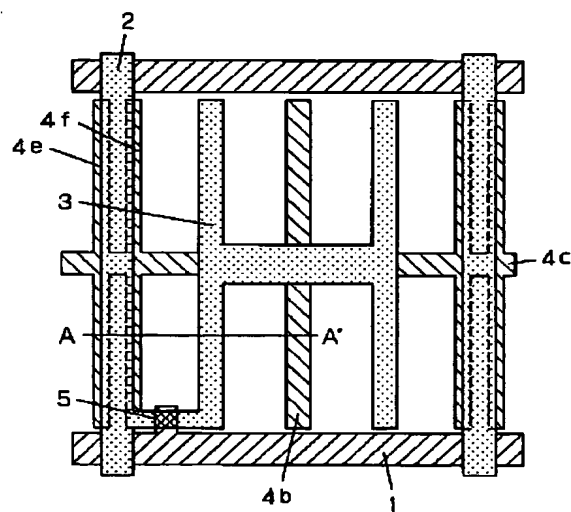
【図4】



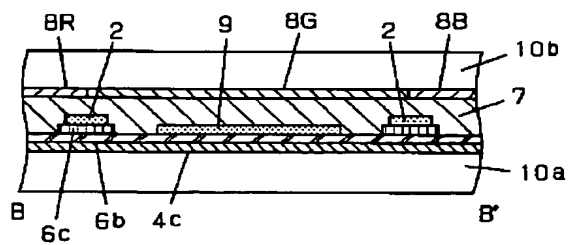
【図5】



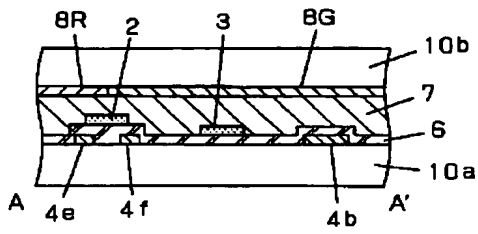
【図7】



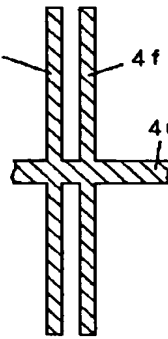
【図6】



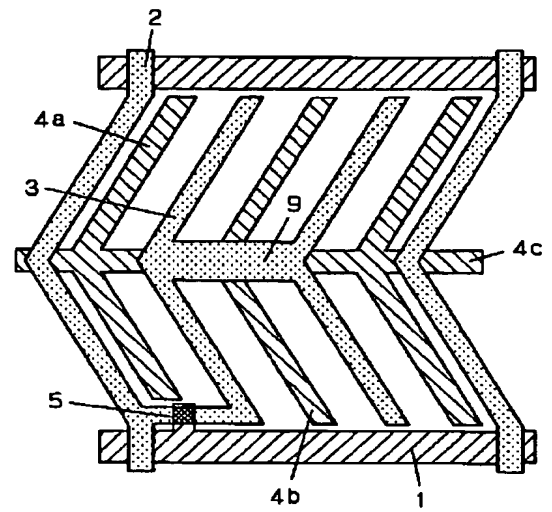
【図8】



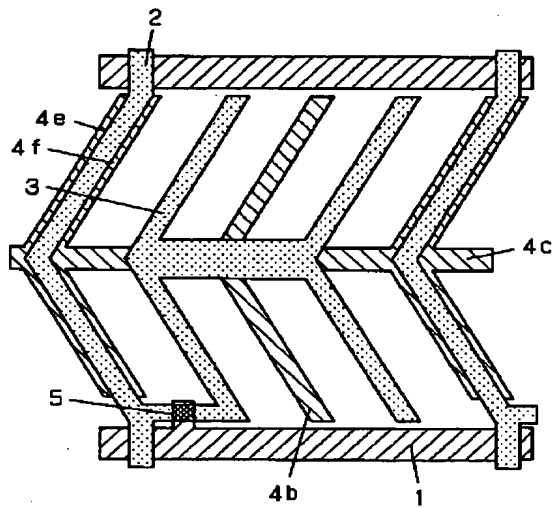
【図9】



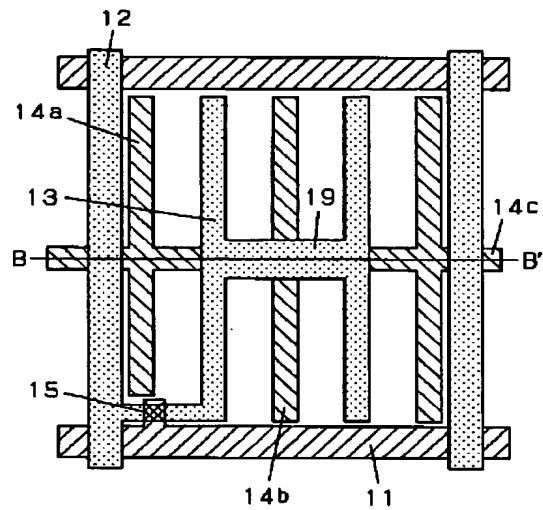
【図10】



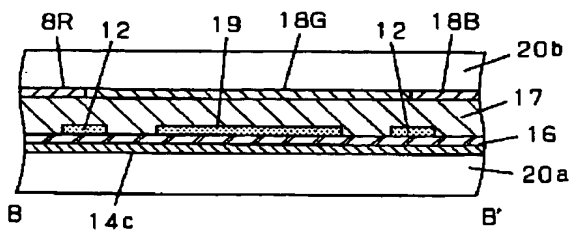
【図11】



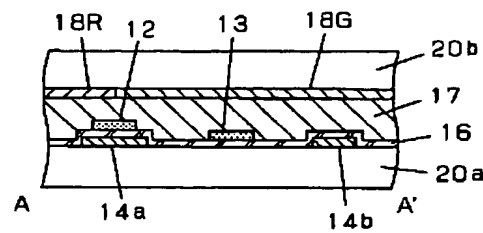
【図12】



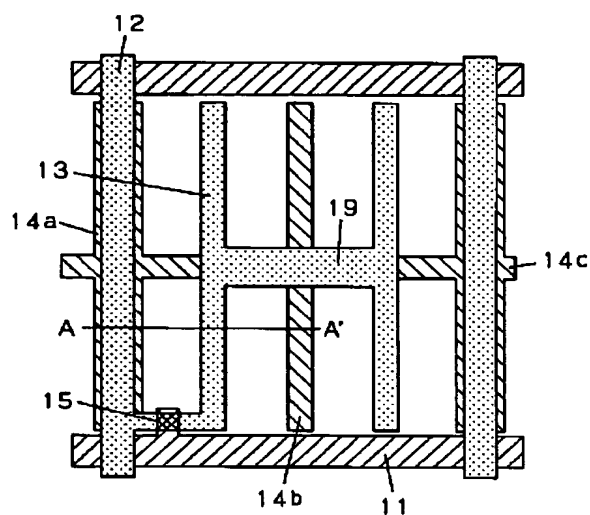
【図13】



【図15】



【図14】



フロントページの続き

(72)発明者 山北 裕文
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 井上 一生
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 塩田 昭教
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 2H092 GA14 JA26 JA29 JA38 JA42
JA44 JB11 JB13 JB23 JB32
JB33 JB38 JB51 JB57 JB63
JB69 KA05 KA07 KA16 KA18
MA05 MA08 MA14 MA15 MA16
MA18 MA19 MA20 MA31 MA35
MA37 MA41 NA04 NA25 NA27
PA02 PA08 QA06 QA18